

GX2413

GX2413 单总线双通道开关

www.galaxy-cas.com

概述

GX2413是双通道可编程I/O 1-Wire®芯片。PIO输出配置为开漏，提供高达20mA的连续吸收能力和高达28V的关断状态工作电压。使用专用的设备级命令协议来执行PIO PIN的控制和感测。为了在最终应用中提供高水平的容错能力，1-Wire IO和PIO PIN均能够承受最高28V的连续电压。GX2413的通信和操作通过单触点1-Wire串行接口完成。

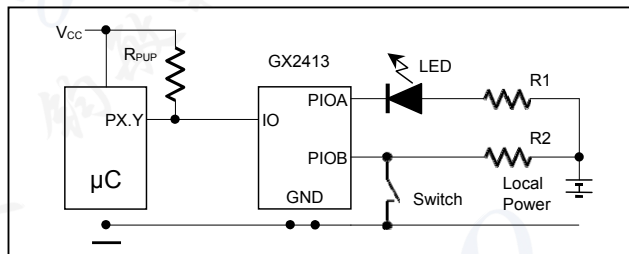
应用

- LED控制
- 附件识别和控制
- 通用输入/输出
- 钥匙拣选系统
- 工业控制器
- 系统监控

特点

- 开漏可编程的I/O PIN
- PIO PINs支持最大20mA连续电流吸收
- 支持28V（最大值）PIO PIN工作电压
- PIO下拉晶体管的导通电阻20 Ω max; OFF电阻1M Ω min
- 通过1-Wire的寄生电源
- 使用1-Wire协议以14.9kb或100kbps的速率与单个数字信号进行通信
- 独特的64位ROM序列号码工厂光刻到每个设备
- 开关点滞后和滤波，以在噪声存在的情况下优化性能
- 1-Wire IO PIN支持故障条件下的28V绝对最大直流电平
- 在0°C至+70°C范围内，可在2.8V至5.25V的宽1线电压范围内工作
- 1-Wire IO PIN的高ESD抗扰度：8kV HBM 典型元件

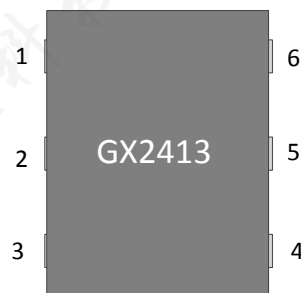
典型工作电路



顺序信息

PART	TEMP RANGE	PIN-PACKAGE
GX2413	0°C to +70°C	DFN6

封装形式



DFN6

绝对最大额定值

任何PIN与GND之间的电压	-0.5V, +30V
进入IO Pin的最大电流	±25mA
进入PIO Pin的最大电流	±30mA
最大电流通过 GND Pins (两个Pin绑在一起)	±60mA
工作温度范围	0°C to +70°C
结温	+150°C
存储温度范围	-55°C to +125°C
焊接温度	See IPC/JEDEC J-STD-020A

超出“绝对最大额定值”下列出的应力可能会对装置造成永久性损坏。这些仅是应力额定值，并不表示装置在这些或任何其他条件下的功能操作超出规范的操作部分中指出的条件。长时间暴露在绝对最大额定值条件下可能会影响装置的可靠性。

电学特征

T_A = 0°C to +70°C

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
IO PIN GENERAL DATA						
1-Wire Pullup Voltage (Note 1)	V _{PUP}	Standard speed	2.8		5.25	V
		Overdrive speed	2.9		5.25	
		DC only; no 1-Wire communication			28	
1-Wire Pullup Resistance	R _{PUP}	(Notes 1, 2)	1.5		2.2	kfi
Input Load Current	I _L	V _{PUP} ≤ 5.25V	3.5		70	μA
		V _{PUP} ≤ 3.30V	3.5		15	
		V(IO) = 28V (Note 3)	400		950	
Input Capacitance	C _{IO}	At 25°C (Notes 4, 5)			800	pF
Input Low Voltage	V _{IL}	(Notes 1, 6)			0.4	V
High-to-Low Switching Threshold	V _{TL}	(Notes 5, 7, 8)	0.4		3.2	V
Low-to-High Switching Threshold	V _{TH}	(Notes 5, 7, 9)	0.7		3.6	V
Switching Hysteresis	V _{HY}	(Notes 5, 10)	0.2			V
Output Low Voltage	V _{OL}	At 4mA Current Load (Note 11)			0.4	V
Recovery Time (Notes 1, 12)	t _{REC}	Standard speed, R _{PUP} = 2.2kfi	5			μs
		Overdrive speed, R _{PUP} = 2.2kfi	2			
		Overdrive speed, directly prior to reset pulse; R _{PUP} = 2.2kfi	5			
Rising-Edge Hold-off Time (Notes 5, 13)	t _{REH}	Standard speed	0.5		5.0	μs
		Overdrive speed			Not applicable (0)	
Time slot Duration (Note 1, 5)	t _{SLOT}	Standard speed, V _{PUP} ≤ 4.5V	65			μs
		Standard speed (Note 14)	67			
		Overdrive speed, V _{PUP} ≤ 4.5V (Note 14)	9			
		Overdrive speed (Note 14)	10			
IO PIN, 1-WIRE RESET, PRESENCE DETECT CYCLE						
Reset Low Time (Note 1)	t _{RSTL}	Standard speed, V _{PUP} ≤ 4.5V	480		960	μs
		Standard speed (Note 14)	600		960	
		Overdrive speed, V _{PUP} ≤ 4.5V	48		80	
		Overdrive speed (Note 14)	63		80	
Presence Detect High Time (Notes 14, 15)	t _{PDH}	Standard speed, V _{PUP} ≤ 4.5V	15		66	μs
		Standard speed	15		68	
		Overdrive speed, V _{PUP} ≤ 4.5V	2		7.0	
		Overdrive speed	2		8.2	
Presence Detect Fall Time (Notes 5, 16)	t _{FPD}	Standard speed, V _{PUP} > 4.5V	0.24		1.4	μs
		Standard speed	0.24		1.6	
		Overdrive speed, V _{PUP} ≤ 4.5V	0		0.7	
		Overdrive speed	0		0.9	
Presence Detect Low Time (Note 15)	t _{PDL}	Standard speed, V _{PUP} > 4.5V	60		240	μs
		Standard speed (Note 14)	60		260	
		Overdrive speed, V _{PUP} ≤ 4.5V (Note 14)	8		25	
		Overdrive speed (Note 14)	8		32	

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Presence Detect Sample Time (Notes 1, 20)	t_{MSP}	Standard speed, $V_{PUP} > 4.5V$	67.4		75	μs
		Standard speed	69.6		75	
		Overdrive speed, $V_{PUP} \leq 4.5V$	7.7		10	
		Overdrive speed	9.1		10	
IO PIN, 1-Wire WRITE						
Write-0 Low Time (Note 1)	t_{W0L}	Standard speed, $V_{PUP} > 4.5V$	60		120	μs
		Standard speed (Note 14)	62		120	
		Overdrive speed, $V_{PUP} \leq 4.5V$ (Note 14)	7		16	
		Overdrive speed (Note 14)	8		16	
Write-1 Low Time (Notes 1, 17)	t_{W1L}	Standard speed	5		15 - c	μs
		Overdrive speed	1		2 - c	
IO PIN, 1-Wire READ						
Read Low Time (Notes 1, 18)	t_{RL}	Standard speed	5		15 - 6	μs
		Overdrive speed	1		2 - 6	
Read Sample Time (Notes 1, 18)	t_{MSR}	Standard speed	$t_{RL} + 6$		15	μs
		Overdrive speed	$t_{RL} + 6$		2	
PIO Pins						
Leakage Current	I_{LP}	Pin at 28V (Note 19)	8.5		24	μA
Input Capacitance	C_P	(Note 5)		100		pF
Output low voltage	V_{OLP}	20mA load current			0.4	V
Input Low Voltage	V_{ILP}	(Note 1)			0.8	V
Input High Voltage (Note 21)	V_{IHP}	(Note 1)	$V_{PUP} - 0.3V$		28	V

- Note 1:** 系统要求。
- Note 2:** 完整的RPUP范围由设计和模拟保证。没有生产测试。生产测试以固定的RPUP值执行。最大允许上拉电阻是系统中1-Wire装置数量和1-Wire恢复时间的函数。此处指定的值适用于仅具有一个装置且具有最小1-Wire恢复时间的系统。对于负载较重的系统，可能需要DS2482-x00, DS2480B或DS2490等有源上拉电路。
- Note 3:** 大于10V的电压，I-V特性是线性的。
- Note 4:** 首次应用VPUP时，数据引PIN的电容可能为800pF。如果使用2.2k Ω 电阻上拉数据线，则在施加VPUP后2.5 μs ，寄生电容不会影响正常通信。
- Note 5:** 通过设计和模拟保证。未经生产测试。
- Note 6:** 只要主机将线路驱动为低电平，IO上的电压必须小于或等于VILMAX。
- Note 7:** VTL和VTH是内部电源电压的函数，它是VPUP和1-Wire恢复时间的函数。
- Note 8:** 低于IO的电压，在IO的下降边缘期间，检测到逻辑0。
- Note 9:** 高于该电压时，在IO上升边缘期间，检测到逻辑1。
- Note 10:** 在IO上升边缘期间超过VTH后，IO上的电压必须至少下降VHY才能被检测为逻辑“0”。
- Note 11:** 小于1V的电压，I-V特性是线性的。
- Note 12:** 适用于连接到1-Wire总线的单个GX2413。
- Note 13:** 在先前达到VTH之后，在tREH可能最早识别出负的边缘。
- Note 14:** 突出显示的数字不符合传统的1-Wire产品标准。见下面的对照表。
- Note 15:** 当IO上的电压在存在检测低脉冲的主要的边缘下降到VPUP的80%以下时，认为tPDH已经结束。当IO上的电压在脉冲主要的边缘下降到VPUP的20%以下时，认为tPDL已经开始。
- Note 16:** 在电压为VPUP的80%的时间与电压为VPUP的20%的时间之间的存在检测脉冲开始时IO的下降边缘期间的间隔。
- Note 17:** c表示上拉电路将IO上的电压从VIL上拉至VTH所需的时间。
- Note 18:** 6表示上拉电路将IO上的电压从VIL上拉到总线主控的输入高阈值所需的时间。
- Note 19:** 大于7V的电压，I-V特性是线性的。
- Note 20:** tMSP是系统要求的采样点，不直接进行生产测试。对相关参数tPDH和tPDL进行生产测试。参数tFPD由设计和仿真保证，未经生产测试。
- Note 21:** 生产测试VIHP（分钟）。VIHP（max）由设计和模拟保证，未经生产测试。

PARAMETER	LEGACY VALUES				GX2413 VALUES			
	STANDARD SPEED		OVERDRIVE SPEED		STANDARD SPEED		OVERDRIVE SPEED	
	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX
t_{SLOT} (incl. t_{REC})	61 μs	(undef.)	7 μs	(undef.)	67 μs	(undef.)	10 μs	(undef.)
t_{RSTL}	480 μs	(undef.)	48 μs	80 μs	600 μs	960 μs	63 μs	80 μs
t_{PDH}	15 μs	60 μs	2 μs	6 μs	15 μs	68 μs	2 μs	8.2 μs
t_{PDL}	60 μs	240 μs	8 μs	24 μs	60 μs	260 μs	8 μs	32 μs
t_{W0L}	60 μs	120 μs	6 μs	16 μs	62 μs	120 μs	8 μs	16 μs

PIN 描述

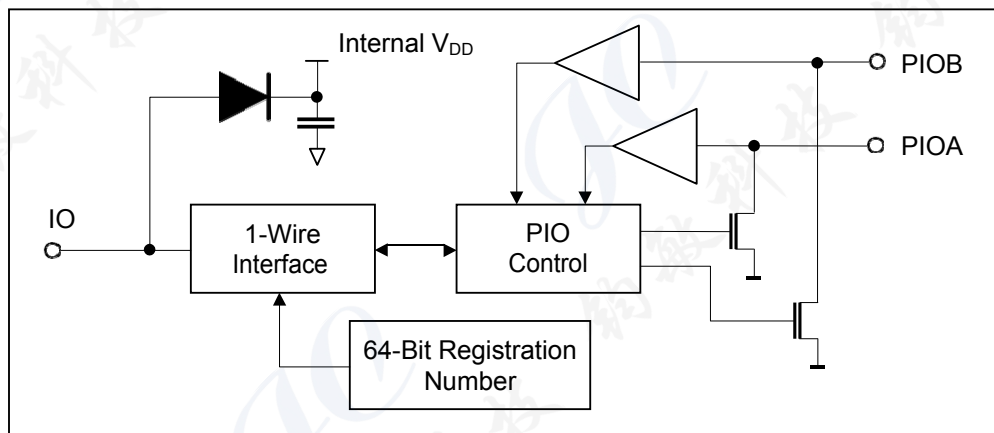
NAME	PIN #	FUNCTION
IO	2	1-Wire bus interface. Open-drain, requires external pullup resistor.
PIOA	6	Programmable I/O pin, open-drain with weak pulldown
PIOB	4	Programmable I/O pin, open-drain with weak pulldown
GND1	1	Ground reference 1
GND2	5	Ground reference 2; both GND pins must be connected in the application.
NC	3	Not connected

描述

GX2413在单芯片中集成了两个PIO PIN和一个功能齐全的1-Wire接口。PIO输出为开漏，工作电压高达28V，最大导通电阻为20 Ω 。强大的通信协议可确保PIO输出更改不发生错误。每个GX2413都有一个64位长的注册号。注册号保证唯一的标识，用于在多点1-Wire网络环境中处理设备，其中多个设备驻留在公共1-Wire总线上并且彼此独立地操作。装置电源由1-Wire总线寄生供电。GX2413的应用包括附件识别和控制，系统监控和一般输入/输出。

概述

图1的框图显示了GX2413主要部分之间的关系。GX2413有两个主要组件：64位注册号和PIO控制。1-Wire协议的层次结构如图2所示。总线主控必须首先提供七个ROM功能命令之一，1) 读ROM，2) 匹配ROM，3) 搜索ROM，4) 跳过ROM，5) 恢复，6) 超速跳过ROM或7) 超速匹配ROM。完成以标准速度执行的超速ROM命令字节后，装置进入高速模式，此时所有后续通信都以更高的速度进行。这些ROM功能命令所需的协议如图10。成功执行ROM功能命令后，PIO功能可以访问，主机可以提供两个PIO功能命令之一。这些命令的协议如图6。所有数据首先读取和写入最低的有效位。

Figure 1. Block Diagram

64-BIT 光刻ROM

每个GX2413都有一个64位长的唯一ROM注册号，如图3。前8位是1-Wire系列代码。接下来的48位是唯一的序列号。最后8位是前56位的CRC（循环冗余检查）。使用由移位寄存器和XOR门组成的多项式生成器生成1-Wire CRC，如图4。多项式为 $X^8 + X^5 + X^4 + 1$ 。Dallas 1-Wire CRC的更多信息，见应用笔记 27。移位寄存器位初始化为零。然后从族代码的LSB开始，一次移入一位。在输入族代码的第8位之后，输入序列号。输入序列号的第48位后，移位寄存器包含CRC值。移位8位CRC应该将移位寄存器返回到全零。

Figure 2. 1-Wire 协议的层次结构

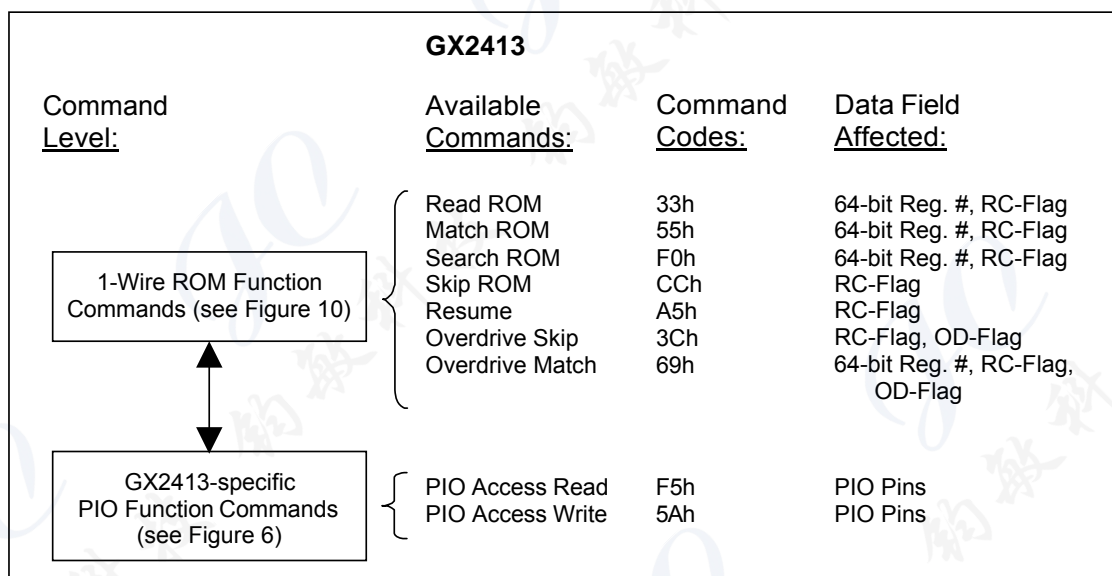


Figure 3. 64-Bit 光刻ROM

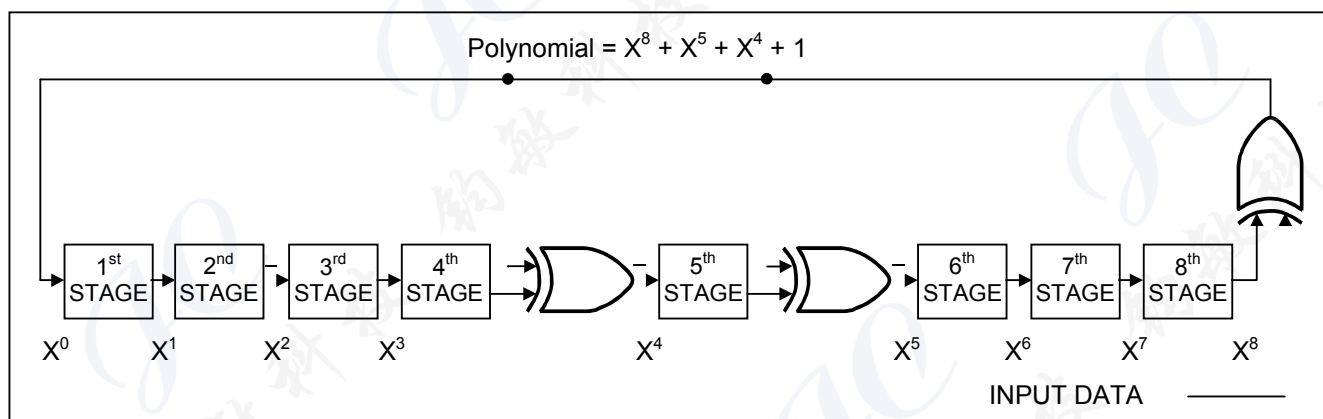
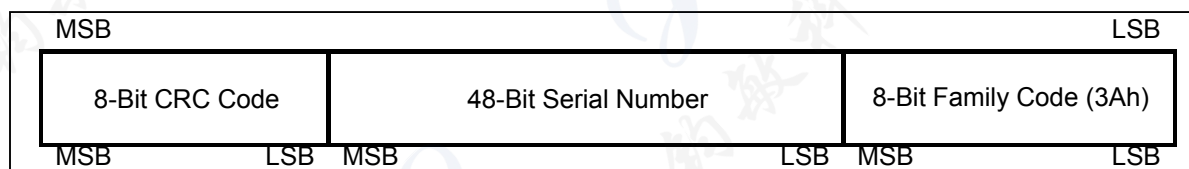
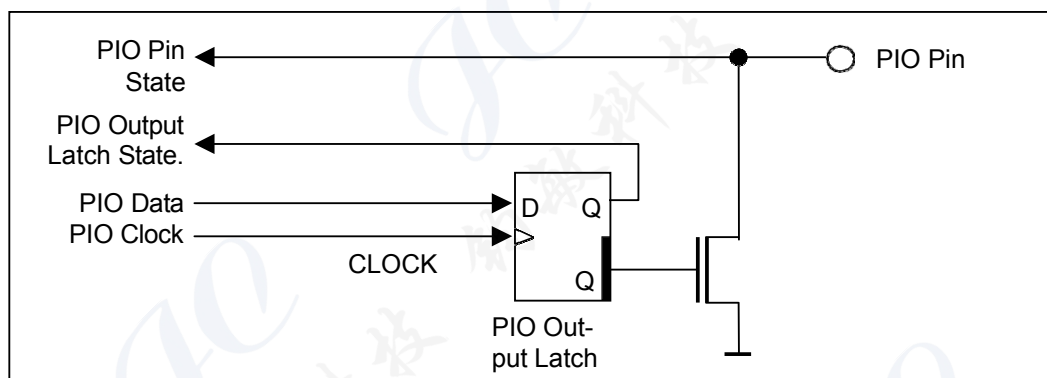


Figure 4. 1-Wire CRC 发生器

PIO 结构

每个PIO都包含一个具有28V功能的开漏下拉晶体管。晶体管由PIO输出锁存器控制，如图5PIO控制单元将PIO连接到1-Wire接口。

Figure 5. PIO简化逻辑图



PIO 功能命令

PIO功能流程图（图6）描述了访问GX2413的PIO PIN所需的协议。有关如何使用这些功能的示例包含在该文档的末尾。主机和GX2413之间的通信以标准速度（默认值，OD = 0）或高速模式（OD = 1）进行。如果未明确设置为高速模式，GX2413将以标准速度上电。

PIO访问读取[F5h]

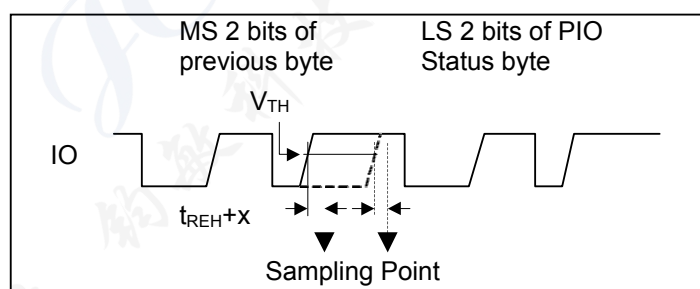
该命令读取PIO逻辑状态，并在无限循环中将其与PIO输出锁存器的状态一起报告。可以使用1-Wire Rese随时终止PIO访问读取

PIO状态位分配

b7	b6	b5	b4	b3	b2	b1	b0
Complement of b3 to b0				PIOB Output Latch State	PIOB Pin State	PIOA Output Latch State	PIOA Pin State

两个PIO通道的状态同时被采样。第一次采样发生在命令代码F5h的最后一个（最高有效）位。然后将PIO状态报告给总线主控。当主装置接收PIO状态字节的最后一个（最高有效）位时，将发生下一次采样，依此类推，直到主装置产生1-Wire复位。采样发生在前一个字节MS位上升边缘的 $t_{REH} + x$ 延迟，如图7。“x”的值大约为 $0.2\mu s$ 。

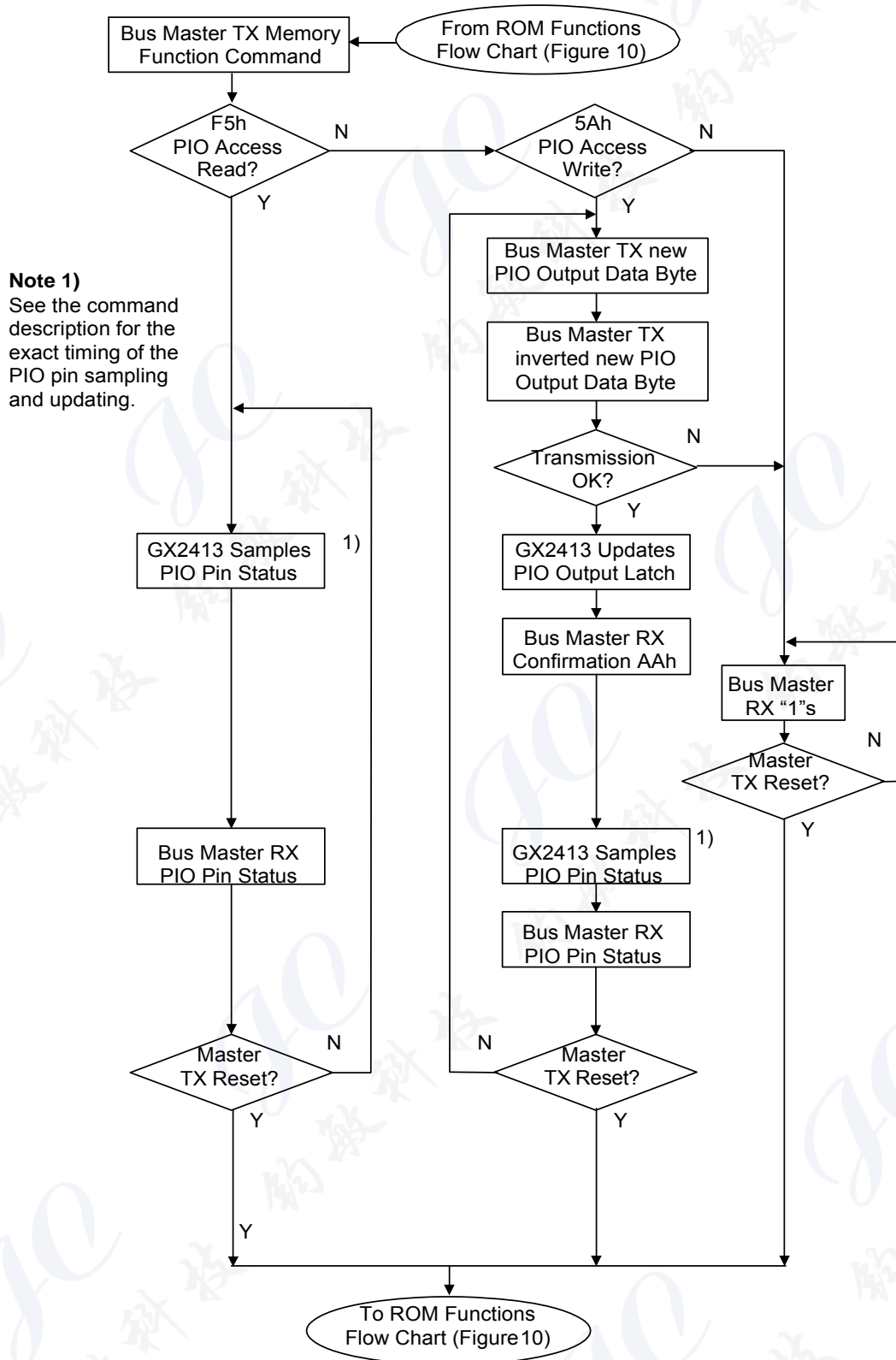
Figure 7. PIO访问读取时序图



Notes:

- 1 “前一个字节”可以是命令代码或前一个PIO样本产生的数据字节。
- 2 采样点时序也适用于PIO访问写命令，“前一个字节”写确认字节（AAh）。

Figure 6. PIO 功能流程图



PIO 访问写入 [5Ah]

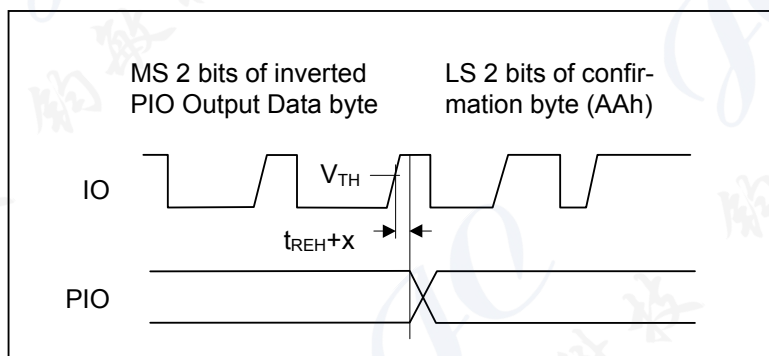
PIO 访问写入命令写入PIO输出锁存器，用于控制PIO通道的下拉晶体管。在无限循环中，该命令首先将新数据写入PIO，然后读回PIO状态。主机可以使用此隐式写后读写进行状态验证。可以通过1-Wire复位随时终止PIO访问写操作。

PIO输出数据位分配

b7	b6	b5	b4	b3	b2	b1	b0
X	X	X	X	X	X	PIOB	PIOA

在命令代码之后，主装置发送PIO输出数据字节，该字节确定PIO输出晶体管的新状态。第一个（最低有效）位与PIOA相关联；下一位会影响PIOB。新状态字节的其余6位没有相应的PIO pins。这些位应始终传输为“1”。要打开输出晶体管，相应的位值为0。要关闭输出晶体管（不导通），该位必须为1。这样，作为新PIO输出状态发送的位在PIO处以其真实形式到达。为保护传输免受数据错误的影响，主机必须以反转形式重复PIO输出数据字节。只有传输没有错误，PIO状态才会改变。实际PIO转换到新状态时，从反相PIO字节的MS位的上升边缘延迟 $t_{REH} + x$ ，如图8。“x”的值约为 $0.2\mu\text{s}$ 。为了通知主机有关PIO字节成功通信的信息，GX2413发送一个带有数据模式AAh的确认字节。当发送确认字节的MS位时，GX2413采样PIO pins的状态，如图7，并将其发送给主机。主装置可以继续向PIO写入更多数据，也可以发出1-Wire复位来结束命令。

Figure 8. PIO访问写入时序图



1-Wire BUS 系统

1-Wire总线是一个具有单个总线主控和一个或多个从动装置的系统。在所有情况下，GX2413都是从设备。总线主控通常是微控制器。该总线系统的讨论分为三个主题：硬件配置，事务序列和1-Wire信令（信号类型和时序）。1-Wire协议根据特定时间空挡期间的总线状态定义总线事务，这些时间空挡在来自总线主控的同步脉冲的下降边缘启动。

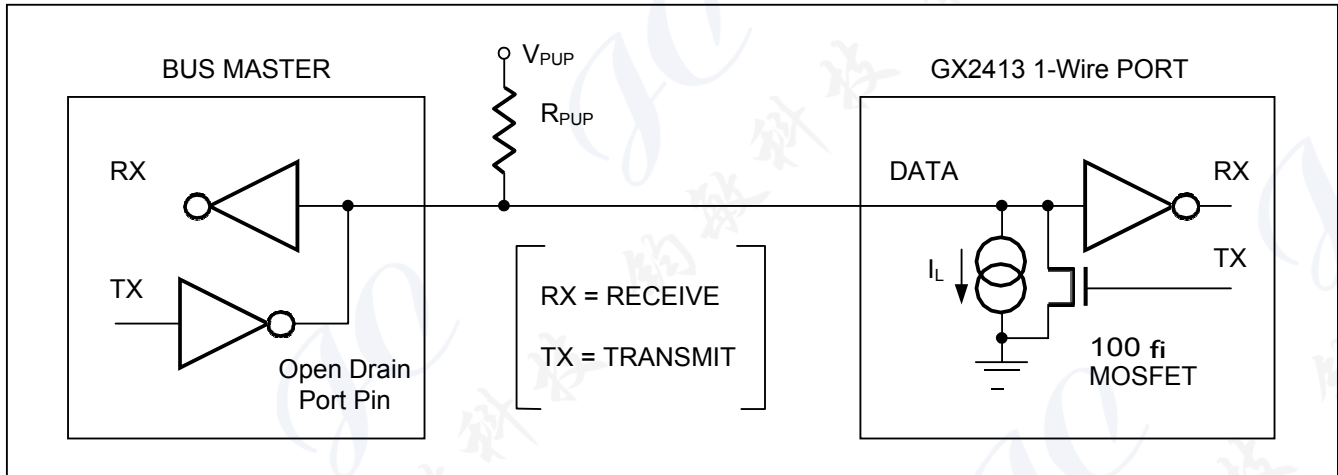
硬件组态

根据定义，1-Wire总线只有一条线；重要的是总线上的每个设备都能够在适当的时间驱动它。为了促进这一点，连接到1-Wire总线的每个装置都必须具有开漏或三态输出。GX2413的1-Wire端口为开漏，内部电路等效如图9。

多点总线由1-Wire总线和多个从机组成。GX2413分别支持14.9kbps（最大）和100kbps（最大）的标准和高速通信速度。请注意，传统的1-Wire产品支持16.3kbps的标准通信速度和142kbps的超速。上拉电阻的值主要取决于网络大小和负载条件。GX2413在任何速度下都需要2.2k Ω （最大值）的上拉电阻。

1-Wire总线的空闲状态很高。如果由于任何原因需要暂停事务，如果要恢复事务，则总线必须保持空闲状态。如果没有发生这种情况并且总线保持低电平超过 $16\mu\text{s}$ （高速）或超过 $120\mu\text{s}$ （标准速度），总线上的一个或多个装置可能会复位。

Figure 9. 硬件组态



事务顺序

- 通过1-Wire端口访问GX2413的协议如下：
-
- 初始化
- ROM功能命令
- PIO功能命令
- 数据

初始化

在单线总线上的所有事务都以初始化序列开始。初始化序列由一个由总线主控发送的复位脉冲和一个由从服务器发送的存在脉冲组成。存在脉冲让总线主控人知道GX2413在总线上，并且准备好操作。更多细节见单线信号部分。

1-Wire ROM 功能命令

一旦总线主控检测到存在，它就可以发出GX2413支持的七个ROM功能命令之一。所有ROM功能命令都是8位长。下面是这些命令的列表（见图10的流程图）。

读取ROM [33h]

该命令允许总线主控读取GX2413的8位家族码，唯一的48位序列号和8位CRC。只有在总线上有一个从站时才能使用此命令。如果总线上存在多个从动装置，则当所有从动装置同时尝试发送时会发生数据冲突（开漏产生一个wired-AND结果）。由此家庭代码和48位序列号导致了CRC的不匹配。

匹配ROM [55h]

匹配ROM命令后跟着64位ROM序列，允许总线主控在多点总线上处理特定的GX2413。只有与64位ROM序列完全匹配的GX2413，包括外部地址，才会响应以下PIO功能命令。所有其他从设备等待复位脉冲。该命令可与总线上的单个或多个设备一起使用。

搜索ROM [F0h]

最初启动系统时，总线主控可能不得知1-Wire总线上的设备数量或其设备ID号。通过利用总线的wired-AND属性，主设备可以使用消除过程来识别所有从设备的设备ID号。对于设备ID号的每个位，从最低有效位开始，总线主控发出三个时间空档。在第一个时间空档上，参与搜索的每个从设备输出其设备ID号位的真值。在第二个时间空档上，参与搜索的每个从设备输出其设备ID号位的补码值。在第三个空档上，主机写入要选择的位的真值。与主站写入的位不匹配的所有从站设备都会停止参与搜索。如果两个读取位都为零，则主设备知道从设备存在该位的两种状态。通过选择要写入的状态，总线主控在ROM代码树中分支。完成一次传递后，总线主控知道单个设备的设备ID号。附加通行证识别其余设备的设备ID号。有关详细讨论，见应用笔记187：1-Wire搜索算法，包括示例。由于使用GX2413，如果一个或多个地址输入连接到GND，则ROM CRC无效，建议在1-Wire线路上构建装置列表时进行双重搜索。

跳过ROM [CCh]

该命令允许总线主控访问PIO函数而不提供64位ROM代码，从而在单点总线系统中节省时间。如果总线上有多个从动装置，例如，读取命令在跳过ROM命令之后发出，那么当多个从服务器同时传输时，总线上就会发生数据冲突(开漏下拉会产生一个wire - and结果)。

恢复[A5h]

为了在多点环境中最大化数据生产量，可以使用恢复功能。此功能检查RC位的状态，如果已设置，则直接将控制转移到PIO功能，类似于跳过ROM命令。设置RC位的唯一方法是成功执行匹配ROM，搜索ROM或超速匹配ROM命令。一旦RC位置1，就可以通过恢复命令功能重复访问该装置。访问总线上的另一个设备会清除RC位，从而阻止两个或多个设备同时响应恢复命令功能。

超速跳过ROM [3Ch]

在单点总线上，通过允许总线主控访问PIO功能而不提供64位ROM代码，该命令可以节省时间。与普通的跳过ROM命令不同，超速跳过ROM将GX2413设置为高速模式(OD = 1)。此命令后的所有通信都必须以高速模式进行，直到最小480μs持续时间的复位脉冲将总线上的所有装置复位到标准速度(OD = 0)。

在多点总线上发出时，该命令将所有支持超速的设备设置为高速模式。要随后处理特定的支持高速模式的装置，必须发出高速模式的复位脉冲，然后发出匹配ROM或搜索ROM命令序列。这加快了搜索过程的时间。如果总线上存在多个支持超速的从动装置，并且超速跳过ROM命令后跟一个读取命令，则当多个从动装置同时发送时，总线上会发生数据冲突(开漏下拉产生一个wired-AND结果)。

超速匹配ROM [69h]

超速匹配ROM命令后跟一个以高速模式传输的64位ROM序列，允许总线主控在多点总线上处理特定的GX2413并同时将其设置为高速模式。只有与64位ROM序列完全匹配的GX2413才会响应后续的PIO功能命令。从先前的超速跳过或成功的超速匹配命令处于高速模式的从站仍处于高速模式。所有具有高速驱动能力的从站在下一个最小480μs持续时间的复位脉冲时恢复到标准速度。超速匹配ROM命令可与总线上的单个或多个装置一起使用。

Figure 10-1. ROM 功能流程图

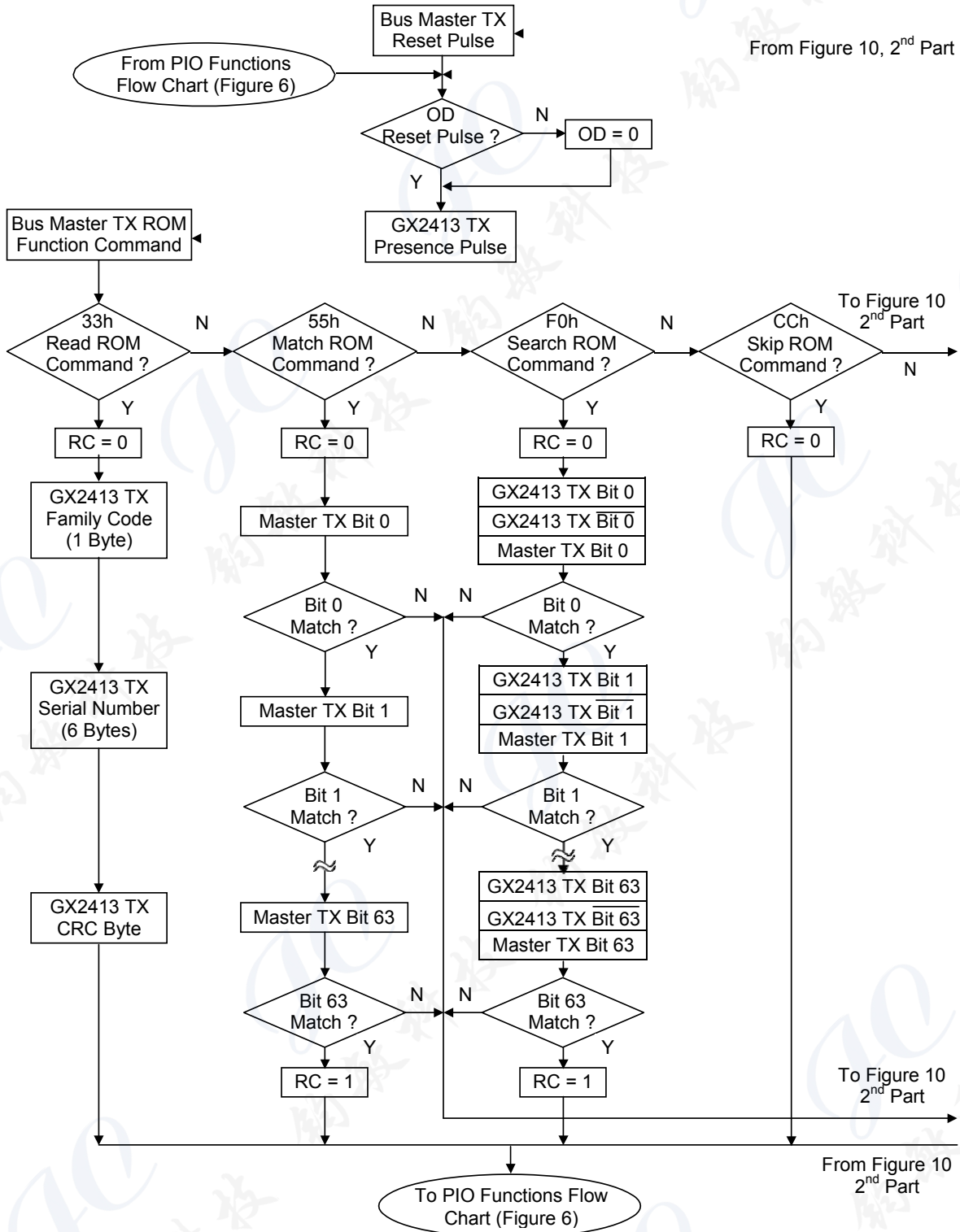
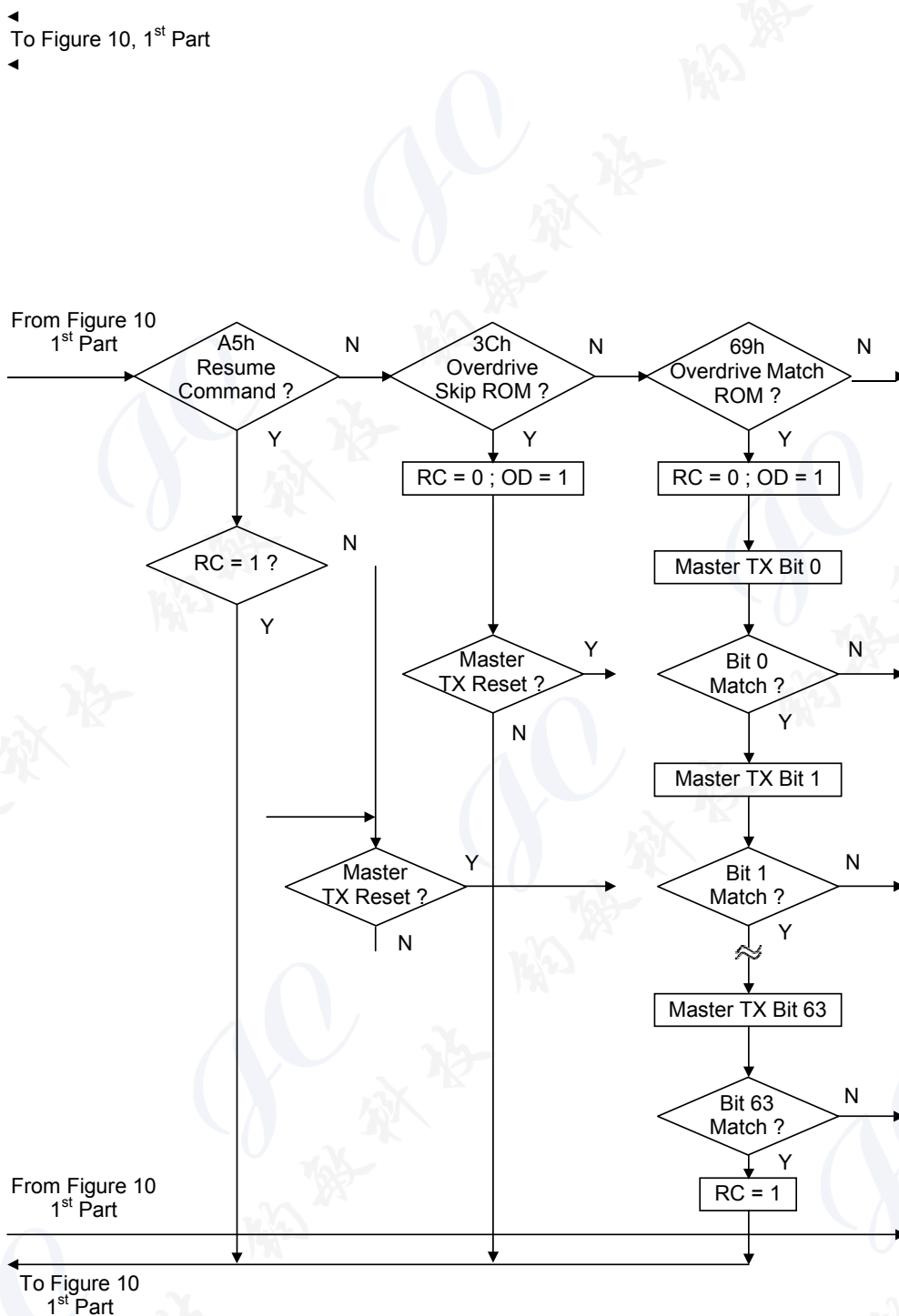


Figure 10-2. ROM 功能流程图 (续)



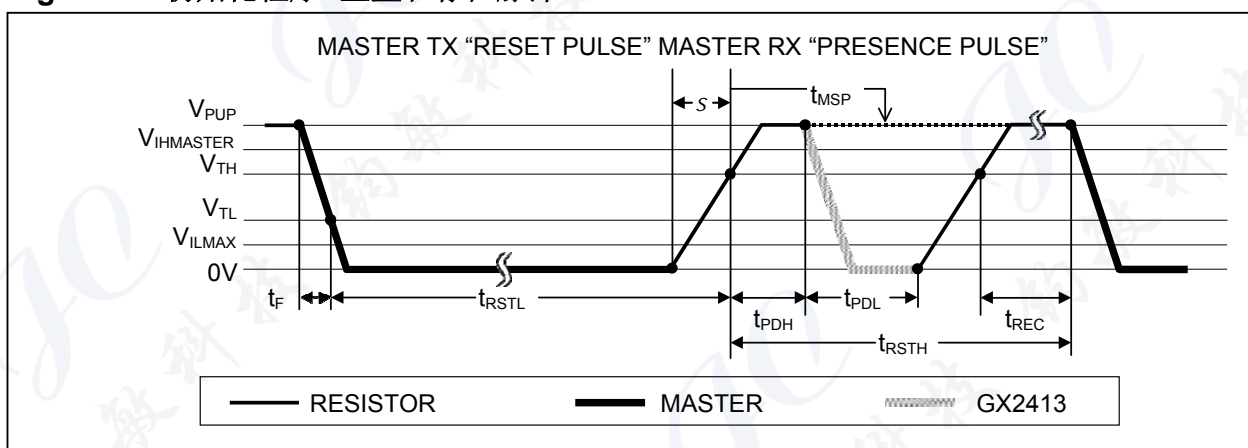
1-Wire 信号

GX2413需要严格的协议来确保数据的完整性。该协议由一行上的四种类型的信号组成：具有复位脉冲和存在脉冲，写入零，写入一和读取数据。除了存在脉冲之外，总线主控启动所有下降边缘。GX2413可以两种不同的速度，标准速度和高速模式进行通信。如果未明确设置为高速模式，GX2413将以标准速度进行通信。在高速模式下，快速时序适用于所有波形。

要从空闲状态变为有效状态，1-Wire总线上的电压需要从低于阈值 V_{TL} 的 V_{PUP} 下降。为了从有效到空闲，电压需要从 V_{ILMAX} 上升超过阈值 V_{TH} 。电压升高所需的时间在图11中显示为“c”，其持续时间取决于所使用的上拉电阻（ R_{PUP} ）和所连接的1-Wire网络的电容。在确定逻辑电平时，电压 V_{ILMAX} 与GX2413相关，而不是触发任何事件。

图11显示了开始与GX2413进行任何通信所需的初始化序列。在给定正确的ROM和PIO功能命令的情况下，复位脉冲后跟存在脉冲表示GX2413已准备好接收数据。如果总线主控使用转换速率控制下降边缘，则必须将线路下拉至 $t_{RSTL} + t_F$ 来补偿边缘。 t_{RSTL} 持续时间为480 μs 或更长时间退出高速模式，使装置返回标准速度。如果GX2413处于高速模式且 t_{RSTL} 不超过80 μs ，则装置仍处于高速模式。如果装置处于高速模式且 t_{RSTL} 介于80 μs 和480 μs 之间，装置将重置，但通信速度未确定。

Figure 11. 初始化程序: 重置和存在脉冲



在总线主控释放线路后，它进入接收模式。现在，1-Wire总线通过上拉电阻拉至 V_{PUP} ，或者在DS2482-x00或DS2480B驱动器的情况下通过有源电路拉至 V_{PUP} 。当超过阈值 V_{TH} 时，GX2413等待 t_{PDH} ，然后通过拉低 t_{PDL} 线来发送存在脉冲。要检测存在脉冲，主机必须在 t_{MSP} 上测试1-Wire线路的逻辑状态。

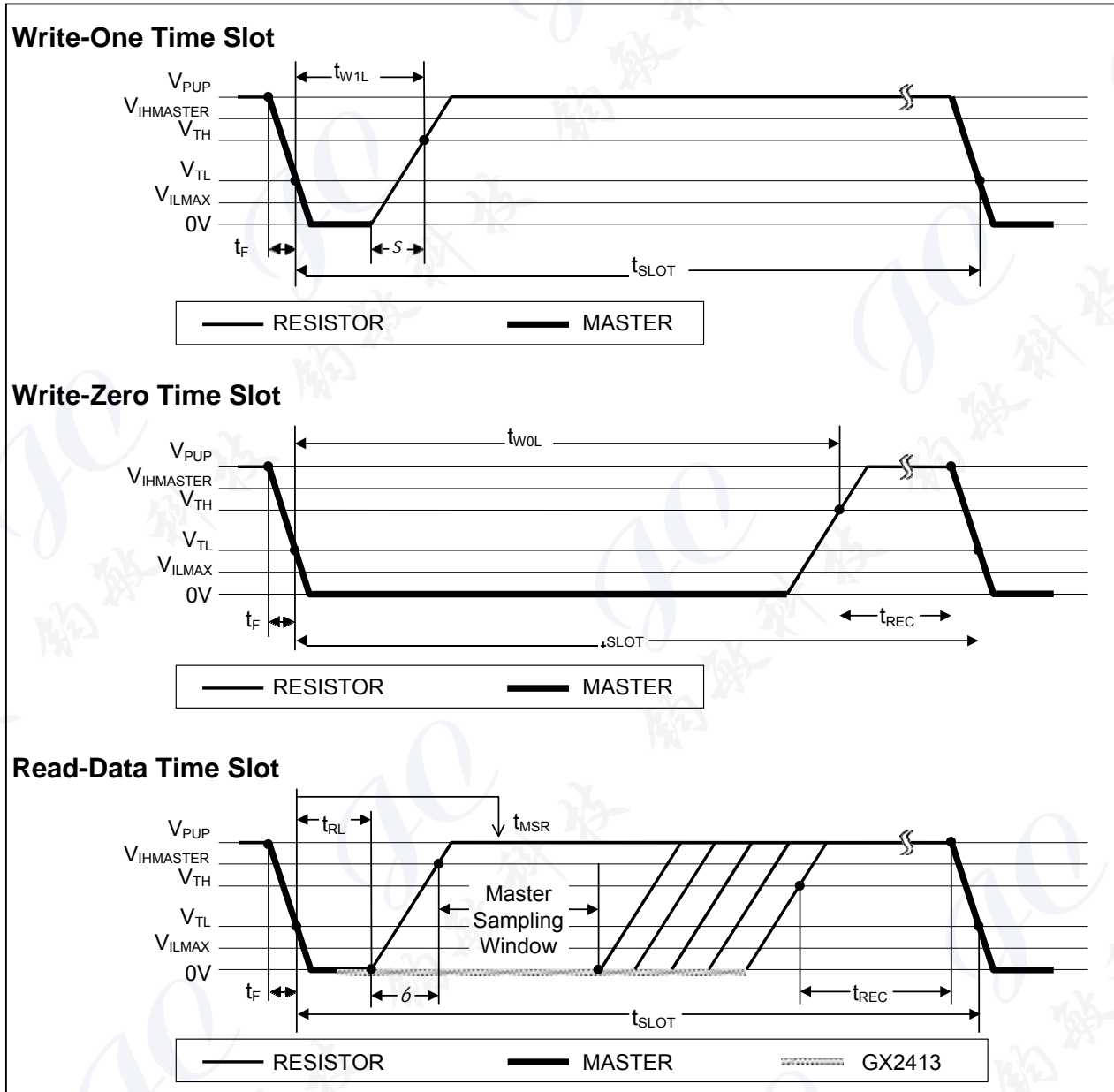
t_{RSTH} 窗口必须至少为 t_{PDHMAX} ， t_{PDLMAX} 和 t_{RECMIN} 的总和。在 t_{RSTH} 到期后，GX2413立即准备好进行数据通信。在混合人口网络中， t_{RSTH} 应在标准速度下扩展至最小480 μs ，在高速模式下扩展至48 μs ，以适应其他1-Wire装置。

读/写 时间空档

与GX2413的数据通信在时间空档中进行，每个时间空档只传送一位。写时间空档将数据从总线主控传输到从机。读时间空档将数据从从设备传输到主设备。图12说明了写时间空档和读时间空档的定义。

所有通信都从主机拉低数据线开始。当1-Wire总线上的电压低于阈值V_{TL}时，GX2413启动其内部定时发生器，确定在写时间空档期间数据线的采样时间以及读取时间空档期间数据有效的的时间。

Figure 12. 读/写 时序图



主到从

对于写入一个时间空档，数据线上的电压必须在写入低时间 t_{W1LMAX} 到期之前超过 V_{TH} 阈值。对于写0时间空档，数据线上的电压必须保持低于 V_{TH} 阈值，直到写0低时间 t_{W0LMIN} 到期为止。为了实现最可靠的通信，在整个 t_{W0L} 或 t_{W1L} 窗口期间，数据线上的电压不应超过 V_{ILMAX} 。超过 V_{TH} 阈值后，GX2413需要一个恢复时间 t_{REC} 才能为下一个时间空档做好准备。

从到主

读取数据时间空档像写入一个时间空档一样开始。数据线上的电压必须保持低于 V_{TL} ，直到读取低电平时间 t_{RL} 结束。在 t_{RL} 窗口期间，当以0响应时，GX2413开始将数据线拉低；其内部定时发生器确定何时该下拉结束且电压再次开始上升。当响应为1时，GX2413根本不保持数据线为低电平，一旦 t_{RL} 结束，电压就会开始上升。

一侧的 $t_{RL} + 6$ （上升时间）与另一侧的GX2413的内部时序发生器之和定义了主采样窗口（ t_{MSRMIN} 至 t_{MSRMAX} ），其中主机必须从数据线执行读操作。对于最可靠的通信， t_{RL} 应该尽可能短，主机应该读取接近但不晚于 t_{MSRMAX} 。从数据线读取后，主机必须等到 t_{SLOT} 到期。这保证了GX2413有足够的恢复时间 t_{REC} 为下一个时间空档做好准备。请注意，此处指定的 t_{REC} 仅适用于连接到1-Wire总线的单个GX2413。对于多装置配置，需要扩展 t_{REC} 以适应额外的1-Wire装置输入电容。或者，可以使用在1-Wire恢复时间内执行有源上拉的接口，例如DS2482-x00或DS2480B 1-Wire线路驱动器。

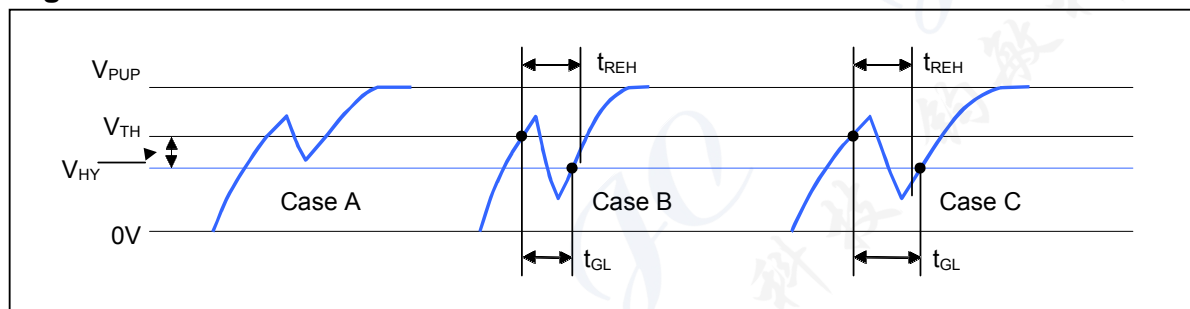
改进的网络行为 (开关点磁滞)

在一个1-Wire环境中，只有在总线主控控制器（1-Wire驱动器）控制的瞬变期间才能进行线路终端。因此，1-Wire网络易受各种噪声的影响。根据网络的物理大小和拓扑结构，端点和分支点的反射可以在某种程度上相加或相互抵消。这种反射在1-Wire通信线路上可见为小故障或振铃。从外部源耦合到1-Wire线路的噪声也可能导致信号故障。在时间空档的上升边缘期间的小故障可能导致从设备失去与主设备的同步，并因此导致搜索ROM命令到达死终端或导致设备特定的功能命令中止。为了在网络应用中获得更好的性能，GX2413采用了新的1-Wire前端，这使其对噪声不敏感，并且还降低了从动装置本身注入的噪声幅度。

GX2413的1-Wire前端与传统的从动装置有四个不同之处。

- 1) 存在脉冲的下降边缘具有受控的转换速率。与数字开关晶体管相比，这提供了更好的线路阻抗匹配，将传统装置中已知的高频振铃转换为更平滑的低带宽转换。转换速率控制由参数 t_{FPD} 指定，该参数具有不同的标准和高速模式值。
 - 2) 电路中还有一个低通滤波器，用于检测时间空档开始时的下降边缘。这降低了对高频噪声的敏感度。此额外过滤不适用于高速模式。
 - 3) 在低到高切换阈值 V_{TH} 处存在滞后。如果负的小故障相交过 V_{TH} 但不低于 $V_{TH} - V_{HY}$ ，则无法识别（图13，案例A）。滞后在任何1-Wire速度下都有效。
 - 4) 有一个时间窗口由上升边缘延迟时间 t_{REH} 指定，在此期间忽略小故障，即使它们延伸到 $V_{TH}-V_{HY}$ 阈值以下（图13，情况B， $t_{GL} < t_{REH}$ ）。在超过 V_{TH} 阈值并延伸到 t_{REH} 窗口之后出现的深度电压下降或小故障无法滤除，并被视为新时间空档的开始（图13，案例C， $t_{GL} > t_{REH}$ ）。
- 只有具有电气特性中指定参数 t_{FPD} ， V_{HY} 和 t_{REH} 的装置才使用改进的1-Wire前端。

Figure 13. 噪音抑制计划



COMMAND-SPECIFIC 1-Wire 通讯协议-图例

SYMBOL	DESCRIPTION
RST	1-Wire Reset Pulse generated by master.
PD	1-Wire Presence Pulse generated by slave.
Select	Command and data to satisfy the ROM function protocol.
PIOR	Command "PIO Access Read".
PIOW	Command "PIO Access Write".
FF loop	Indefinite loop where the master reads FF bytes.

COMMAND-SPECIFIC 1-Wire 通讯协议—颜色代码

Master to slave	Slave to master
-----------------	-----------------

PIO 访问读取 (不能失败)

RST	PD	Select	PIOR	<PIO Status Byte>
-----	----	--------	------	-------------------

Continues until master sends Reset Pulse

PIO 访问写入 (成功)

RST	PD	Select	PIOW	<PIO Output data>	<PIO Output data>	<AAh>	<PIO Status Byte>
-----	----	--------	------	-------------------	-------------------	-------	-------------------

Loop until master sends Reset Pulse

PIO 访问写入 (无效的数据字节)

RST	PD	Select	PIOW	<PIO Output data>	<invalid data byte>	FF loop
-----	----	--------	------	-------------------	---------------------	---------

PIO 访问读取示例

读取PIOs状态3次。

只有一个GX2413连接到总线主控，通信看起来像这样：

MASTER MODE	DATA (LSB FIRST)	COMMENTS
TX	(Reset)	Reset pulse
RX	(Presence)	Presence pulse
TX	CCh	Issue "Skip ROM" command
TX	F5h	Issue "PIO Access Read" command
RX	<3 data bytes>	Read 3 PIO samples
TX	(Reset)	Reset pulse
RX	(Presence)	Presence pulse

PIO 访问写入示例

将两个PIOs都设置为0，然后将PIOA设置为1。两个pio都被电阻拉高到VCC或VPUP。只有一个GX2413连接到总线主控，通信看起来像这样：

MASTER MODE	DATA (LSB FIRST)	COMMENTS
TX	(Reset)	Reset pulse
RX	(Presence)	Presence pulse
TX	CCh	Issue "Skip ROM" command
TX	5Ah	Issue "PIO Access Write" command
TX	FCh	Write new PIO output state
TX	03h	Write inverted new PIO output state
RX	AAh	Read confirmation byte
RX	F0h	Read new PIO pin status
TX	FDh	Write new PIO output state
TX	02h	Write inverted new PIO output state
RX	AAh	Read confirmation byte
RX	C3h	Read new PIO pin status
TX	(Reset)	Reset pulse
RX	(Presence)	Presence pulse

Note: 通常来讲，PIOPIN状态和PIO输出锁存器状态是相同的。要从PIO读取数据，PIO输出锁存器必须为1。如果PIOPIN被开关或外部电路拉低，则输出锁存器状态和PIN状态是不同的。